



⑬ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 196 40 192 A 1**

⑤ Int. Cl.⁸:
H 01 L 23/488
H 01 L 25/04

⑲ Aktenzeichen: 198 40 192.5
⑳ Anmeldetag: 30. 9. 98
㉑ Offenlegungstag: 2. 4. 98

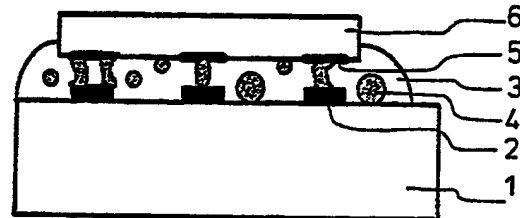
DE 196 40 192 A 1

⑦ Anmelder:
Robert Bosch GmbH, 70469 Stuttgart, DE

⑧ Erfinder:
Haug, Ralf, Dr., 71229 Leonberg, DE

⑤④ Verfahren zur Flip-Chip-Montage

⑤⑦ Es wird ein Verfahren vorgeschlagen, das zur bumpfreien Flip-Chip-Montage von ICs auf ein Substrat unter Verwendung anisotrop leitfähiger Klebstoffe (ACAs) dient. Der Klebstoff enthält Lotpartikel, die eine metallurgische Verbindung zwischen IC und Substrat bewirken, d. h. selektiv zu den metallisierten Anschlußpads diffundieren. Dadurch können bei gleichem Füllstoffgrad feinere Rastermaße verarbeitet werden, d. h. eine höhere Miniaturisierung wird ermöglicht und größere Unebenheiten zwischen IC und Substrat können ausgeglichen werden. Das Verfahren eignet sich besonders zur Flip-Chip-Montage auf Keramik, Glaskeramik oder auf Multi-Chip-Modulen sowie auf flexiblen Basismaterialien.



DE 196 40 192 A 1

Die Erfindung geht aus von einem Verfahren zur Flip-Chip-Montage nach der Gattung des Hauptanspruches. Die Flip-Chip-Technik, d. h. die direkte Montage von ungehäuteten integrierten Schaltungen (integrated circuits = IC's) auf Substrate wird seit über 30 Jahren in verschiedenen Varianten eingesetzt. Die Weiterentwicklung der Flip-Chip-Technik wird stark vorangetrieben durch die wachsenden Anforderungen an höhere Integrationsdichten, höhere Taktraten, an geringerem Gewicht und an Kostenreduzierung. Ein entscheidender Kostenfaktor ist der Bumping-Prozeß: so betragen beispielsweise die Kosten für das Wafer-Bumping je nach Prozeß 20 bis 40% der gesamten Montagekosten. Bumps sind mehrschichtige Höckerstrukturen, die auf den Anschlußpads (d. h. den Anschlußkontakten) des IC bzw. Wafer und/oder auf dem Substrat aufgebracht werden, um die Montage zu erleichtern, die Zuverlässigkeit der Kontaktierung und die Packungsdichte zu erhöhen. Zudem ist für verschiedene Anwendungen, bei denen große Unterschiede der thermischen Ausdehnungskoeffizienten zwischen Silizium und Substratmaterial vorhanden sind, zur Minimierung der thermischen Spannungen ein relativ großer Spalt zwischen IC und Substrat erforderlich, der durch Bumps überbrückt werden muß. Für die Flip-Chip-Montage auf Keramik-, Glaskeramik oder Glassubstrate sind dagegen aufgrund der geringen Fehlanpassung der Ausdehnungskoeffizienten und aufgrund der hohen Ebenheit Bumpshöhen von etwa 10 bis 15 µm ausreichend.

Die Bumping-Verfahren sind jedoch komplizierte und teure mehrstufige Prozesse, insbesondere die Herstellung hochschmelzender Lotbumps, aber auch die alternativen Verfahren wie niederschmelzende Lotbumps, galvanische Nickel- oder Goldbumps oder siebgedruckte Bumps aus Leitklebstoff.

Es wurden daher Verfahren zur Flip-Chip-Montage entwickelt, die eine Kontaktierung ohne Bumping ermöglichen.

Ein derartiges Verfahren ohne Bump-Strukturen beschreibt z. B. die DE-OS 41 38 779. Zur Montage der Chips wird ein anisotrop elektrisch leitender Kunststoff (anisotropic conductive adhesive = ACA), der senkrecht zur Flip-Chip-Kontaktierungsebene elektrisch leitfähig und in der Kontaktierungsebene isolierend wirkt, eingesetzt. Als elektrisch leitende Partikel werden z. B. Metalle angegeben, die unregelmäßig geformt sein können oder in Form kleiner Kügelchen oder Fasern, insbesondere aber mit gut leitenden Schichten aus beispielsweise Graphit überzogene scharfkantige Keramik- oder Kristallteilchen. Derartige Partikel können aber nur Substrate ausreichender Ebenheit kontaktieren. Auch ist der mit derartigen Klebstoffen erreichbare Miniaturisierungsgrad begrenzt: um eine zuverlässige Kontaktierung kleiner Anschlußpadflächen zu erreichen, müßte der Füllstoffgrad erheblich erhöht werden, was jedoch nur begrenzt möglich ist, weil sich dadurch die Gefahr von Kurzschlüssen erhöht.

Eine andere Entwicklung, die z. B. im Artikel "Anisotropic Adhesives for Flip-Chip Bonding" in der Fachzeitschrift "Latest Achievements in Conductive Adhesive Joining in Electronics Packaging" (Proceedings), Eindhoven, 1995, Seiten 59 ff. vorgestellt wird, sieht vor, gebumpte Chips mit lotgefüllten anisotrop leitfähigen

Kunststoffen zu kontaktieren. Die Lotpartikel auf Sn-Basis reagieren metallurgisch, d. h. unter Ausbildung intermetallischer Verbindungen mit den Anschlußflächen auf IC und Substrat und sichern somit eine gute elektrische Kontaktierung.

Vorteile der Erfindung

Das erfindungsgemäße Verfahren mit den Merkmalen des Hauptanspruches hat demgegenüber den Vorteil, daß es eine hohe Miniaturisierung mit hoher Zuverlässigkeit der Kontaktierung auch auf relativ unebenen Substraten, beispielsweise auf Keramik, mit wenigen Verfahrensschritten und somit kostengünstig erlaubt.

In überraschender Weise hat es sich gezeigt, daß sich die Vorteile lotgefüllter ACA's, insbesondere die zuverlässige Kontaktierung aufgrund der metallurgischen Reaktion mit den Vorteilen einer bumpfreien und somit kostengünstigen Flip-Chip-Montage verbinden lassen.

Das erfindungsgemäße Verfahren ermöglicht die bumpfreie Kontaktierung von IC's auf relativ unebenen Substraten, z. B. auf Keramiksubstraten, und kann Unebenheiten (Gaps) zwischen IC und Substrat bis zu 20 µm bumpfrei ausgleichen, was mit bekannten ACA's nicht möglich war.

Bekannte ACA's sind bumpfrei nur auf Substrate ausreichender Ebenheit anwendbar, insbesondere auf Glas, welches üblicherweise Unebenheiten im Submikronbereich aufweist oder auf flexible Polymerfolien.

Durch die in den Unteransprüchen aufgeführten Maßnahmen sind vorteilhafte Weiterbildungen und Verbesserungen des im Hauptanspruch angegebenen Verfahrens möglich. Besonders zuverlässige elektrische Kontakte werden erreicht, wenn die Lotpartikel eine Legierung auf Sn/Bi- oder auf Sn/In-Basis enthalten.

Besonders vorteilhaft ist es weiterhin, wenn als Kleber für den ACA ein Einkomponentenklebstoff verwendet wird. In vorteilhafter Weise kann der Klebstoff als Film aufgebracht werden; dadurch können feinere Rastermaße verarbeitet und die Miniaturisierung erhöht werden.

Zeichnung

Im folgenden wird die Erfindung anhand einer Zeichnung vereinfacht dargestellt und in der nachfolgenden Beschreibung näher erläutert.

Fig. 1 zeigt einen Querschnitt durch eine nach dem erfindungsgemäßen Verfahren hergestellte Flip-Chip-Verbindung.

Das mit einer Metallisierung 2 versehene Substrat 1 ist mit dem IC 6, auf dessen Anschlußpads eine Metallisierung 5 aufgebracht ist, durch den lotgefüllten ACA 3 mechanisch sowie über die durch die Lotpartikel 4 erhaltenen Brücken elektrisch verbunden.

Beschreibung der Ausführungsbeispiele

Beispiel 1

Auf ein FR4-Leiterplattensubstrat 1 wird eine Metallisierung 2 aus übereinanderliegenden Schichten von Kupfer, Nickel und Gold aufgebracht. Ein IC 5 wird im Bereich der Anschlußpads mit einer Metallisierung 4 von Aluminium, Nickel und Gold überzogen.

Substrat 1 und IC 6 werden mittels eines pastenförmigen ACA 3, der einem Einkomponentenkleber auf z. B. Epoxidharzbasis und Lotpartikel auf der Grundlage von

beispielsweise Zinn und Wismut enthält, 90 Sekunden bei 150°C unter einem Anpreßdruck von 10 kg/cm² kontaktiert. Die in der ACA-Paste statistisch verteilten Lotpartikel haben einen Durchmesser von 5 bis 10 µm, vorzugsweise von 10 µm, und einen Füllgrad von 7 bis 10%, vorzugsweise von 10%.

In der beschriebenen Weise können beispielsweise IC's für Autoradios, für Steuergeräte oder für Multi-Chip-Module montiert werden.

Beispiel 2

Auf ein FR4-Leiterplattensubstrat 1 wird eine Cu/Sn-Metallisierung 2 und auf die Anschlußpads eines IC's 6 eine Al/Ni/Au/Sn-Metallisierung 5 aufgebracht.

Substrat und IC werden mittels eines mit Sn/Bi-Lot 4 gefüllten ACA 3-Films auf Epoxidharzbasis 60 Sekunden bei 180°C und 10 kg/cm² Anpreßdruck kontaktiert.

In der beschriebenen Weise können beispielsweise IC's für Autoradios, für Steuergeräte oder für Multi-Chip-Module montiert werden.

Beispiel 3

Auf ein Keramiksubstrat 1 wird eine Au-Metallisierung 2 und auf die Anschlußpads eines IC's 6 eine Al/Ni/Au-Metallisierung 5 aufgebracht.

Substrat und IC werden mittels eines mit Sn/Bi-Lot 4 gefüllten pastenförmigen ACA 3 auf Epoxidharzbasis 60 Sekunden bei 180°C und 10 kg/cm² Anpreßdruck kontaktiert. In der beschriebenen Weise können beispielsweise IC's für Steuergeräte montiert werden.

Bei der Montage wird durch den Klebstoff, der unter Einwirkung von Temperatur und Druck aushärtet, die mechanische Verbindung von IC und Substrat ohne Unterfüll und gleichzeitig, durch Aufschmelzen der Lotpartikel, die die Anschlußpads benetzen, die elektrische Verbindung über leitfähige Brücken erreicht.

FR4-Substrate haben Verwölbungen im Bereich von etwa 1%, abhängig von Dicke, Metallisierung, Handling usw. Bei der erfindungsgemäßen bumpfreien Flip-Chip-Montage mit anisotrop leitfähigen lotgefüllten Klebstoffen tritt unter Einwirkung von Druck und Temperatur ein Planarisierungseffekt auf, so daß auch größere Chips mit einer Kantenlänge bis zu 10 mm zuverlässig kontaktiert werden können.

Bei Keramiksubstraten ist die Ebenheit eine Frage der Herstellung.

Andererseits können auch über die Chipfläche Höhenunterschiede von bis zu 10 µm auftreten.

Durch das erfindungsgemäße Verfahren können derartige Unebenheiten sowie Spalte zwischen IC und Substrat bumpfrei ausgeglichen werden: durch den Einsatz von lotgefüllten ACA's liegen Füllstoffe vor, die bei der Chipmontage aufschmelzen, aufgrund der metallurgischen Kompatibilität vorwiegend die metallisierten Anschlußpads auf IC und Substrat benetzen und somit infolge der thermodynamischen Aktivität überwiegend in die Bereiche diffundieren, in denen die Ausbildung leitfähiger Brücken erwünscht ist. Weil aus diesem Grund die Gefahr von Kurzschlüssen geringer ist, kann der Füllstoffgrad stärker erhöht werden als bei herkömmlichen ACA's und es können auch größere Unebenheiten (Gaps) zwischen IC und Substrat von bis zu 20 µm bumpfrei ausgeglichen werden.

Die selektive Diffusion der leitfähigen Brücken bilden den Lotpartikel zu den Anschlußpads von IC und Substrat hat weiterhin zur Folge, daß bei gleichem Füllstoff-

grad gegenüber herkömmlichen ACA's kleinere Anschlußpads, d. h. feinere Rastermaße kontaktiert werden können und somit eine höhere Miniaturisierung möglich ist.

Erfindungsgemäß kann der ACA in Form von Pasten oder Folien (Film) aufgebracht werden. In Pastenmaterialien sind die Lotpartikel statistisch verteilt. Die Größe der Lotpartikel und der Füllstoffgrad, der jedoch nicht beliebig erhöht werden kann, bestimmen die Feinheit der Rastermaße, die verarbeitet werden können, z. B. 100 µm Pitch mit 5 bis 10 µm Durchmesser der Lotpartikel und ein Füllstoffgrad von 10 Gew.%. Bei zu hohem Füllstoffgrad steigt die Gefahr von Kurzschlüssen, bei zu geringem die Gefahr, daß einzelne Pads nicht kontaktiert werden. In Filmmaterialien können die Lotpartikel in einer vorgegebenen Verteilung in die Klebstoffmatrix eingearbeitet werden, die sich bei der Flip-Chip-Montage nicht ändert, so daß Rastermaße bis hinunter auf etwa 20 µm verarbeitet werden können.

Patentansprüche

1. Verfahren zur Flip-Chip-Montage von integrierten Schaltungen (IC's) auf ein Substrat ohne Bumping von IC und/oder Substrat, unter Verwendung eines anisotrop leitfähigen Klebstoffes (ACA), dadurch gekennzeichnet, daß der ACA mit Lotpartikeln gefüllt ist.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Lotpartikel eine Legierung auf Sn/Bi-Basis oder Sn/In-Basis enthalten.
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß der ACA einen Klebstoff vom Einkomponenter-Typ, insbesondere ein Epoxidharz, enthält.
4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß der ACA in Pastenform aufgebracht wird.
5. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß der ACA als Film aufgebracht wird.
6. Verfahren nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß die Lotpartikel im ACA einen Durchmesser von 5 bis 10 µm, insbesondere einen Durchmesser von 10 µm aufweisen.
7. Verfahren nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß der ACA einen Füllgrad mit Lotpartikeln von 7 bis 10 Gew.%, insbesondere von 10 Gew.-% aufweist.

Hierzu 1 Seite(n) Zeichnungen

FIG. 1

